**Features**

Выполнение прямого и обратного преобразования Фурье форматов равных степеням 2. В реализации присутствует 6 разных вариантов исполнения основного модуля операции Бабочка. С разными аппаратными затратами и временными характеристиками. Присутствует внешний сброс входного FIFO, без вмешательства в работу основной части модуля.

**Application**

Спектральный анализ входного потока данных

**Pinot list**

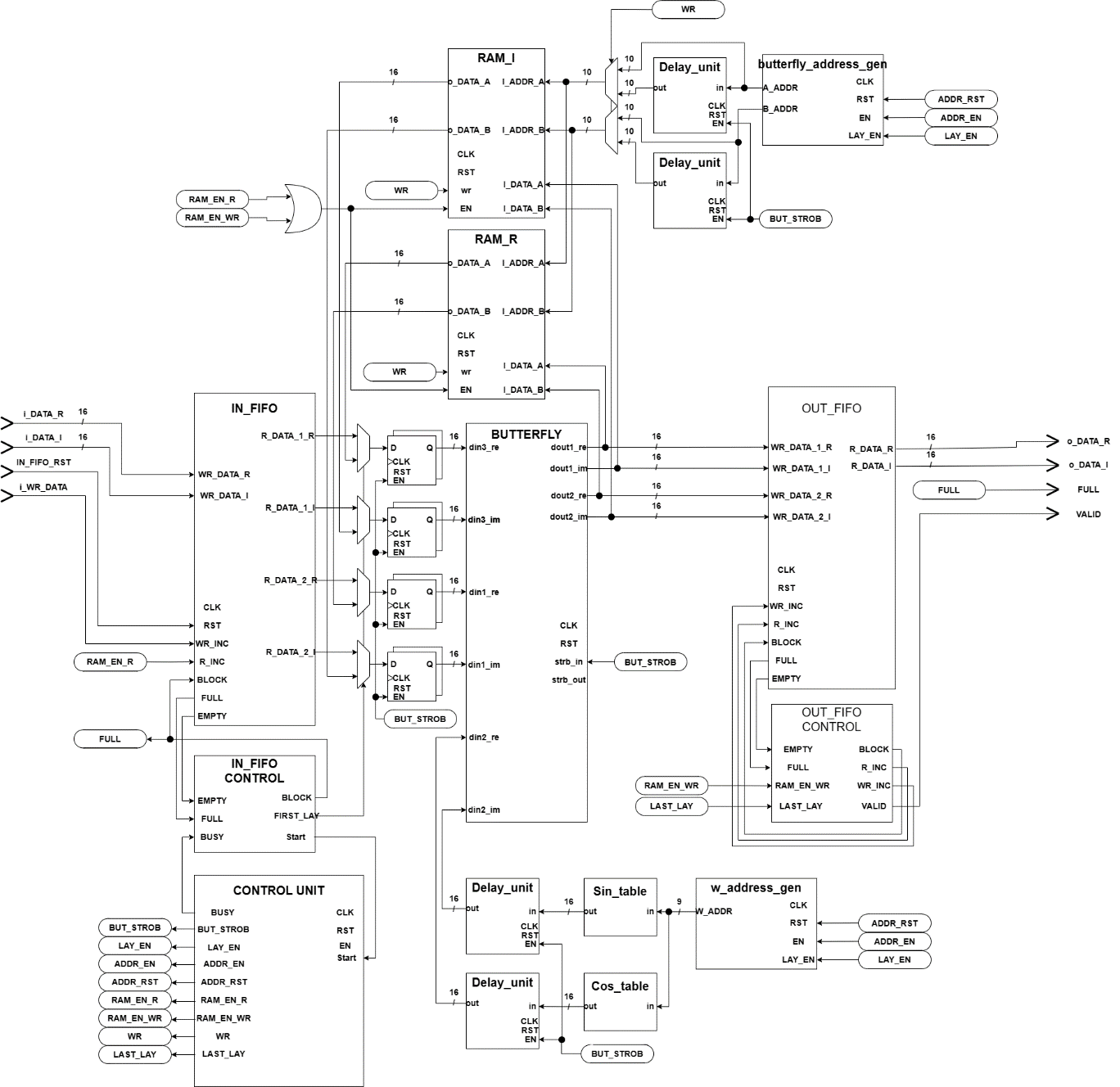
Таблица 1. Параметры

|  |  |  |
| --- | --- | --- |
| Название | Численное значение | Описание |
| DWL | >2 | Длинна входного слова |
| W\_DWL | >2 | Внутренняя длинна слова поворачивающего множителя |
| ALW | >2 | Формат преобразования равный 2AWL |
| BIT\_REVERS\_WRITE | 0 | Прямая адресация при записи данных во входное FIFO |
| 1 | Бит реверсная адресация при записи данных во входное FIFO |
| LayWL | [2:5] | Количество битов выделяемых под счетчик слоев в устройстве управления |
| INVERSE | 0 | Прямое преобразование Фурье |
| 1 | Обратное преобразование Фурье |
| synch\_RESET | 0 | Триггеры с асинхронным сбросом |
| 1 | Триггеры с синхронным сбросом |
| BUT\_CLK\_CYCLE | 2 | 2 такта на выполнение операции Бабочка. Затраты  (4MUL 3ADD 3SUB) |
| 3 | 3 такта на выполнение операции Бабочка. Затраты  (4MUL 3ADD 3SUB) |
| 33 | 3 такта на выполнение операции Бабочка. Затраты  (4MUL 2ADD 2SUB) |
| 4 | 4 такта на выполнение операции Бабочка. Затраты  (2MUL 2ADD 2SUB) |
| 5 | 4 такта на выполнение операции Бабочка. Затраты  (2MUL 1ADD 1SUB) |
| 6 | 4 такта на выполнение операции Бабочка. Затраты  (1MUL 1ADD 1SUB) |

Таблица 2. Порты

|  |  |  |
| --- | --- | --- |
| Название | Разрядность | Описание |
| i\_DATA\_R | [DWL-1:0] | Входной порт реальной составляющей |
| i\_DATA\_I | [DWL-1:0] | Входной порт мнимой составляющей |
| i\_WR\_DATA | 1 | Сигнал записи(валидности) входных данных |
| IN\_FIFO\_RST | 1 | Сброс адресации входного FIFO, без нарушения работы устройства |
| FULL | 1 | Входное FIFO полное |
| o\_DATA\_R | [DWL-1:0] | Выходной порт реальной составляющей |
| o\_DATA\_I | [DWL-1:0] | Выходной порт мнимой составляющей |
| VALID | 1 | Сигнал стробирующий выходные данные |

Functional block diagram



IN\_FIFO

Входное FIFO имеющее модифицированную структуру. Внутри находится две двух портовые память (Dual port RAM). Один порт предназначен только для чтения, другой переключаемый. Запись данных происходит как в обычном FIFO. Чтение происходит с двух портов. Сигнал BLOCK, блокирует запись в входное FIFO, тем самым разрешая чтение с двух портов. Чтения с одного порта запрещено.

IN\_FIFO CONTROL

Устройство контролирующее входное FIFO и формирующие сигнал START. Работает за счет полного заполнения и опустошения FIFO. Сигнал FULL возникающий на FIFO превращается в START и BLOCK, который держится до появления EMPTY.

Пример временной диаграммы

OUT\_FIFO

Выходное FIFO имеющее модифицированную структуру. Внутри находится две двух портовые память (Dual port RAM). Один порт предназначен только для записи, другой переключаемый. Чтение данных происходит как в обычном FIFO. Запись происходит с двух портов. Сигнал BLOCK, разрешает запись с двух портов в выходное FIFO, тем самым запрещая чтение. Запись с одного порта запрещена.

OUT\_FIFO CONTROL

Устройство контролирующее выходное FIFO и формирующие сигнал VALID. Работает за счет полного заполнения и опустошения FIFO. Сигнал FULL возникающий на FIFO превращается в VALID и BLOCK, которые держатся до появления EMPTY.

Пример временной диаграммы

BUTTERRFLY

Устройство выполнения операции Бабочка. Оно не имеет своих входных регистров, по этой причине они были установлены отдельно перед модулем.

RAM\_R/RAM\_I

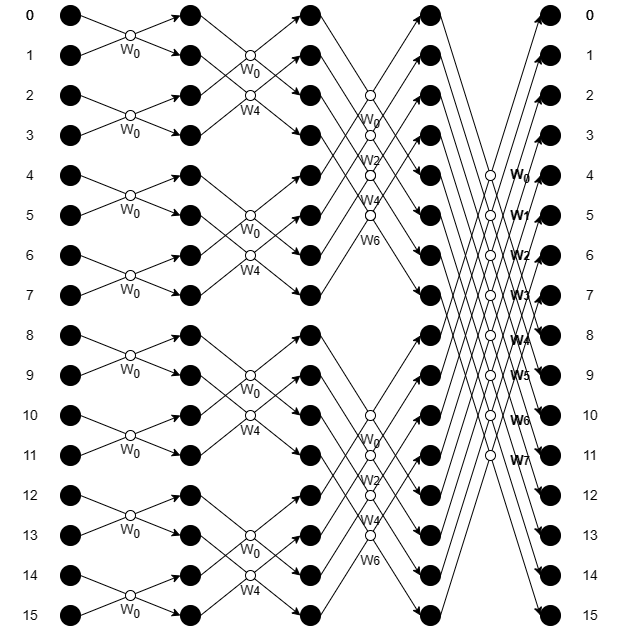
Обычный модуль двух портовой памяти (Dual port RAM).

Butterfly\_address\_gen

Устройство генерации адреса выборки данных для операции Бабочка. Для алгоритма быстрого преобразования Фурье с прореживанием по времени. Граф выборки см рис

w\_address\_gen

Устройство генерации адреса выборки поворачивающих множителей для операции Бабочка. Для алгоритма быстрого преобразования Фурье с прореживанием по времени. Граф выборки см рис



cos\_table/sin\_table

Постоянное запоминающее устройство(ROM). Хранит полупериод косинуса либо синуса, для формирования поворачивающих множителей.

Delay\_unit

Устройство задержки, представляет собой последовательно включенные D-триггеры для формирования ножной временной диаграммы.

CONTROL\_UNIT

Устройство управления. Формирует временную диаграмму управляющих сигналов: генерации адреса, выборки, хранения, смены слоя и стробирующий сигнал для модуля Бабочка. Так как в проекте присутствует 5 различных вариантов устройств управления. Для каждого отельная временная диаграмма управляющих сигналов

Description

Area & Timing analysis

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | 2 | 33 | 3 | 4 | 5 | 6 |
| Total LUTs | 484 | 442 | 470 | 367 | 443 | 399 |
| Logic LUTs | 484 | 442 | 479 | 367 | 443 | 399 |
| FFs | 365 | 379 | 400 | 308 | 325 | 396 |
| RAMB18 | 7 | 7 | 7 | 8 | 8 | 8 |
| DSP48 Blocks | 4 | 4 | 4 | 2 | 2 | 1 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | 2 | 33 | 3 | 4 | 5 | 6 |
| Total On-Chip Power (W) | 0.128 | 0.154 | 0.161 | 0.119 | 0.116 | 0.120 |
| Dynamic (W) | 0.020 | 0.045 | 0.053 | 0.011 | 0.008 | 0.012 |
| Device Static (W) | 0.108 | 0.109 | 0.109 | 0.108 | 0.108 | 0.108 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | 2 | 33 | 3 | 4 | 5 | 6 |
| Period(ns) | 5.5 | 5.5 | 5.0 | 6.0 | 7.0 | 7.000 |
| Frequency(MHz) | 181.818 | 181.818 | 200 | 166.667 | 142.857 | 142.857 |

Simulation results